DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.
013077009 **Image available**
WPI Acc No: 2000-248881/200022
Related WPI Acc No: 2002-736642
XRAM Acc No: C00-075558
XRPX Acc No: N00-186444

Thin film transistor formation for liquid crystal display devices involves under cut etching of lower gate film is performed to form lower gate pattern with narrower thickness

Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU); HONG M (HONG-I); HWANG C (HWAN-I); JUNG B (JUNG-I); LEE J (LEEJ-I); YOUN C (YOUN-I)
Inventor: CHUNG B H; HWANG J W; YOON C J; LEE J H; HONG M P; HONG M; HWANG C; JUNG B; LEE J; YOUN C

Number of Countries: 005 Number of Patents: 010
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000031496	A	20000128	JP 99151840	A	19990531	200022 B
CN 1241025	A	20000112	CN 99109464	A	19990528	200022
KR 99086657	A	19991215	KR 9819760	A	19980529	200056
KR 2000032041	A	20000605	KR 9848365	A	19981112	200110
KR 2000038715	A	20000705	KR 9853796	A	19981208	200111
US 6225150	B1	20010501	US 99323030	A	19990601	200126
TW 418539	A	20010111	TW 99108139	A	19990517	200132
US 20010008781	A1	20010719	US 99323030	A	19990601	200143
			US 2001793541	A	20010227	
US 6403406	B2	20020611	US 99323030	A	19990601	200244
			US 2001793541	A	20010227	
KR 330165	B	20021025	KR 9848365	A	19981112	200324

Priority Applications (No Type Date): KR 9853796 A 19981208; KR 9819760 A 19980529; KR 9848365 A 19981112
Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2000031496	A		13	H01L-029/786	
CN 1241025	A			H01L-021/70	
KR 99086657	A			G02F-001/136	
KR 2000032041	A			G02F-001/136	
KR 2000038715	A			G02F-001/136	
US 6225150	B1			H01L-021/00	
TW 418539	A			H01L-029/786	
US 20010008781	A1			H01L-021/00	Div ex application US 99323030 Div ex patent US 6225150
US 6403406	B2			H01L-021/00	Div ex application US 99323030 Div ex patent US 6225150
KR 330165	B			G02F-001/136	Previous Publ. patent KR 2000032041

Abstract (Basic): JP 2000031496 A

NOVELTY - Lower and upper gate films are sequentially formed on gate insulating film. Under cut etching is carried out to the lower

gate film to form lower gate pattern with thickness narrower than upper gate pattern. High concentration ion implantation is carried out using upper gate pattern as mask, after which upper gate pattern is removed.

DETAILED DESCRIPTION - An active area is formed by patterning silicon layer formed on glass substrate. The gate insulating film (300) is formed over the active area.

USE - For liquid crystal display device.

ADVANTAGE - Reduces number of manufacturing processes. DESCRIPTION OF DRAWING(S) - The figure shows cross-sectional view of thin film transistor. (300) Insulating film.

Dwg.3/32

Title Terms: THIN; FILM; TRANSISTOR; FORMATION; LIQUID; CRYSTAL; DISPLAY; DEVICE; CUT; ETCH; LOWER; GATE; FILM; PERFORMANCE; FORM; LOWER; GATE; PATTERN; NARROW; THICK

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): G02F-001/136; H01L-021/00; H01L-021/70; H01L-029/786

International Patent Class (Additional): H01L-021/336; H01L-021/84

File Segment: CPI; EPI; EngPI

[19]中华人民共和国国家知识产权局

[51]Int.Cl[7]
H01L 21/70

[12]发明专利申请公开说明书

[21]申请号 99109464.6

[43]公开日 2000年1月12日

[11]公开号 CN 1241025A

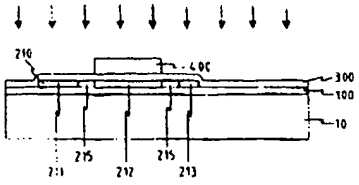
[22]申请日 1999.5.28 [21]申请号 99109464.6
[30]优先权
[32]1998.5.29 [33]KR [31]19760/98
[32]1998.11.12 [33]KR [31]48365/98
[32]1998.12.8 [33]KR [31]53796/98
[71]申请人 三星电子株式会社
地址 韩国京畿道
[72]发明人 李柱亨 洪雯杓 尹灿宙
郑柄厚 黄长元
[74]专利代理机构 柳沈知识产权律师事务所
代理人 马莹

权利要求书3页 说明书7页 附图页数18页

[54]发明名称 在液晶显示器中形成薄膜晶体管的方法

[57]摘要

利用具有P-沟道薄膜晶体管和N-沟道薄膜晶体管的聚硅型薄膜晶体管液晶显示器中上栅极层与下栅极层之间蚀刻率的不同，可以形成带下凹之下栅极层的双栅极层。通过在N^+离子注入过程中用上栅极层作为离子注入掩膜，可以很容易形成LDD结构。由上栅极层与下栅极层之间扭曲的大小确定LDD的尺寸。可以省去为了掩膜离子注入所需的额外光刻步骤。



ISSN1008-4274

权 利 要 求 书

1. 一种在液晶显示器中形成薄膜晶体管的方法，包括以下步骤：

在玻璃基板上形成硅层；

通过对所述硅层构图形成有源区；

形成栅极隔离层，覆盖所述有源区；

形成上、下栅极层，覆盖所述栅极隔离层；

在所述上、下栅极层内形成上栅极图样和具有下凹的下栅极图样，用上栅极图样作为蚀刻掩膜；

用上栅极图样作为注入掩膜进行注入；

去掉上栅极图样。

2. 一种如权利要求1所述的在液晶显示器中形成薄膜晶体管的方法，还包括：

在去掉所述上栅极图样之后，通过低能注入N-杂质，形成LDD区。

3. 一种如权利要求2所述的在液晶显示器中形成薄膜晶体管的方法，其中形成上、下栅极图样包括以相对于所述下栅极材料为高选择率的蚀刻剂继续蚀刻所述上、下栅极层。

4. 一种如权利要求1、2所述的在液晶显示器中形成薄膜晶体管的方法，还包括：

形成覆盖N-沟道薄膜晶体管区和P-沟道薄膜晶体管区内栅极区的光阻挡层图样，作为蚀刻掩膜；

形成覆盖所述N-沟道薄膜晶体管区和所述P-沟道薄膜晶体管内栅极区的光阻挡层图样，作为对所述下栅极图样蚀刻的掩膜，并在去掉所述上栅极图样之后，进行P-型离子注入。

5. 一种如权利要求4所述的在液晶显示器中形成薄膜晶体管的方法，还包括：

在所述P-型离子注入之后，部分地去掉光阻挡层图样，使其比所述下栅极图样窄。

6. 一种如权利要求4所述的在液晶显示器中形成薄膜晶体管的方法，还包括：

形成比所述下栅极图样窄的光阻挡层图样，覆盖所述下栅极图样；

利用所述光阻挡层图样蚀刻所述下栅极图样；

通过激光韧化，激发注入到所述有源层的离子。

7. 一种在液晶显示器中形成薄膜晶体管的方法，包括以下步骤：

对玻璃基板上的聚硅有源区构图；

在所述有源区形成隔离层；

在所述隔离层上形成下栅极层和上栅极层；

在有源区的中心形成所述上栅极图样和下凹的下栅极图样；

用所述上栅极图样作为注入掩膜，进行离子注入；

形成光阻挡层图样，它比所述上栅极图样宽；

用覆盖源极和漏极的所述光阻挡层图样作为注入掩膜，进行离子注入；

去掉所述光阻挡层图样和所述上栅极图样；

通过激光韧化，激发离子注入的区域。

8. 一种在液晶显示器中的一块玻璃基板上形成聚硅 P-沟道和 N-沟道薄膜晶体管的方法，包括以下步骤：

形成硅层；

通过对所述硅层构图形成有源区；

形成栅极隔离层，覆盖所述有源层；

形成下栅极层，覆盖所述栅极隔离层；

利用光掩膜和蚀刻过程，形成下栅极图样，覆盖 N-沟道薄膜晶体管和 P-沟道薄膜晶体管内的栅极区；

用所述下栅极图样作为注入掩膜，注入 P-型离子；

利用光掩膜和蚀刻过程，形成上栅极图样，覆盖 P-沟道薄膜晶体管区和 N-沟道薄膜晶体管内的栅极区；

用所述上栅极图样作为蚀刻掩膜，蚀刻所述 N-沟道薄膜晶体管区内的下栅极图样；

注入 N-型杂质；

去掉上栅极图样。

9. 一种如权利要求 8 所述的在液晶显示器中的一块玻璃基板上形成聚硅 P-沟道和 N-沟道薄膜晶体管的方法，还包括：

在去掉所述上栅极图样之后，低能注入 N-杂质。

10. 一种如权利要求 8 所述的在液晶显示器中的一块玻璃基板上形成聚

硅 P-沟道和 N-沟道薄膜晶体管的方法，其中栅极层的蚀刻剂相对于所述下栅极材料具有高的选择率。

11. 一种如权利要求 8 、 9 所述的在液晶显示器中的一块玻璃基板上形成聚硅 P-沟道和 N-沟道薄膜晶体管的方法，还包括：

激发所述有源区内的离子注入区。

说　明　书

在液晶显示器中形成薄膜晶体管的方法

本发明一般涉及在 LCD(液晶显示器)中制作薄膜晶体管(TFT)的工艺，所述薄膜晶体管为具有补偿区域 LDD(轻掺杂漏极)结构的聚硅薄膜晶体管．受两块基板约束的液晶的分布可由加给形成于基板表面内侧的各电极的电压控制。此外，可由所分布的液晶与偏振片间的关系控制光的透过和遮挡。LCD 是一种利用液晶材料这些方面特性的显示系统。像阻滞膜、反射板和滤色片等新元件已被用于 LCD，以改善作为显示装置的功能和用途，此外，为了同样的目的，可将像偏振片、调准层、研磨工艺、电极组合以及玻璃基板等现有元件的改进用于 LCD。

像素电路，即 LCD 的显示单元受玻璃基板上的半导体薄膜制成的晶体管的控制。根据半导体薄膜的特点，可将薄膜晶体管 LCD 分为两类，它们是非晶硅型薄膜晶体管和聚硅型薄膜晶体管。非晶硅型薄膜晶体管的优点在于低温成形，但有载流子迁移率方面的缺点。非晶硅型薄膜晶体管通常被用于像素电路的开关晶体管。这意味着驱动电路需要较高的载流子迁移率，应该采用分离的多个步骤制作，于是，成本会提高。聚硅具有驱动电路所需的较高载流子迁移率，所以如果高温不是问题，则既可用于驱动电路，又可用于像素电路，还可使能耗及成本降低。可以通过激光煅烧非晶硅很容易地形成聚硅，但由于载流子迁移率较高而有断路电流的缺点。

图 1 表示现有技术薄膜晶体管的纵断面。隔离层 100 作为过渡层覆盖于基板 10 上面。半导体膜，如形成有源区 200 的硅，它覆盖于隔离层上，栅极隔离层 300 覆盖于有源区上．有源区中心内的栅极 410 覆盖在栅极隔离层上。用栅极作为注入掩膜，源极和漏极区 211 、213 形成于有源区内。晶体管导通时，电流从漏极流向源极，将显示信号加给与源极相连的像素电路，但由于在晶体管断开时因较高载流子迁移率而流过的断路电路的缘故，可以不维持显示信号。常将 LDD(轻掺杂漏极)或非掺杂补偿区用为沟道与源极(或漏极)间的载流子结构．以抑制断路电流．

就聚硅型薄膜晶体管的成形而言，它在同一个玻璃基板上有驱动电路和像素电路，下面的技术问题应予清楚地说明：

1. N 沟道薄膜晶体管中载流子结构的形成；

2. P, N 注入的掩膜制造方法；

3. 使过程步骤最少的办法。

有关载流子结构的形成，可以采用下面的方法：1)用光致抗蚀图形作为离子注入掩膜；2)用隔离层包围栅极作为离子注入掩膜；3)在边缘处使栅极金属氧化，形成补偿区。用光致抗蚀图形作为离子注入掩膜的缺点是难于对准、无成本效果，以及在离子注入过程中温度上升的弱点。隔离层的形成需要 CVD(化学蒸汽相淀积)层的附加淀积和内蚀刻，而且在各向异性的固体蚀刻过程中，可使装置受到局部的损伤，而对于氧化法来说，将需要附加的氧化层及掩膜，因为应避免覆盖载流子结构之外区域的氧化。

本发明的目的在于提供一种改进的方法，用于在聚硅型薄膜晶体管中形成 LDD 或补偿区。

本发明的另一目的在于提供一种改进的方法，它具有最少的用于在聚硅型薄膜晶体管中形成 LDD 或补偿区的过程步骤。

按照第一方面，通过 LDD 或补偿区结构达到本发明的上述和其它目的及优点，所述的结构防止截止电流并达到减少光掩膜步骤的数目。按照这种情况，提供一玻璃基板，其上有硅层。通过对 Si 层构图形成有源区，再在该有源区上形成栅极隔离层。为盖住栅极隔离层，形成上栅极层和下栅极层，再用上栅极图样作为刻蚀掩膜，形成凹下的栅极图样。用上栅极图样作为注入掩膜，注入源极区和漏极区，然后再去掉上栅极图样。

在注入过程中，由上下栅极图样间扭曲的大小在有源区内形成补偿区。由于电阻率的增大，补偿区总是受到限制。在去掉上栅极层之后，以低成本注入形成 LDD。这种 LDD 可起载流子结构的作用，克服截止电流，并有避免补偿区高电阻率问题的优点。相对于下栅极的材料使用具有较高选择率的潮湿蚀刻剂，可以形成下栅极的下凹，而且，为了更为精确的扭曲控制，对每一种栅极材料来说，都可将蚀刻的步骤分成两步。应该很容易地使蚀刻速度受到控制，以便在下栅极层内形成适当扭曲的下凹。

按照第二方面，利用 LDD 结构达到本发明的上述和其它目的及优点，所述 LDD 结构避免截止电流，并很好地对掺杂区起作用。按照这种情况，在玻璃基板上形成被构成图样的聚硅有源区。下面各步，即在所述有源区上形成绝缘层，在所述绝缘区上形成下栅极层和上栅极层，在有源区的中心形

成所述的上栅极区和下凹栅极区，都与本发明的第一方面类似。但是，在离子注入的各步中，使用所述上栅极图样为注入掩膜的低浓度离子注入是优先的。于是，我们形成光阻挡层图样，它比所述上栅极图样宽，并用该光阻挡层图样在整个源极和漏极上作为注入掩膜注入高浓度离子。去掉所述光阻挡层图样和所述上栅极图样之后，通过激光韧化(anneal)，得到离子注入区。

按照第三方面，通过在同一基板上形成聚硅 N-沟道和 P-沟道薄膜晶体管达到本发明的上述和其它目的及优点。按照这种情况，提供一块其上有硅层的玻璃基板。通过对硅层构图形成一个有源区，栅极隔离层覆盖这个有源区，形成下栅极层，覆盖该栅极隔离层，再对该栅极层构图，留下 N-沟道薄膜晶体管区和 P-沟道栅极区，再用下栅极图样作为注入掩膜注入 P-型杂质。用留有 N-沟道薄膜晶体管区和 P-沟道栅极区的光掩膜，淀积并蚀刻上栅极层，然后再在 N-沟道薄膜晶体管区用该上栅极层刻蚀下栅极层，再注入 N-型杂质，在离子注入之后，去掉上栅极图样。

在本实施例中，如果附加低能 N-型注入步骤，则形成 LDD，并且对栅极层的蚀刻相对于下栅极材料应有较高的选择率。按照第二实施例，通过自调整方法形成 N-沟道晶体管的补偿结构，以致其优点在于减少光学步骤并易于图形的对准，另外，无需附加的注入掩膜。P-沟道和 N-沟道晶体管的保护没有附加的步骤，在注入过程中，光阻挡层的损耗是一个重要的问题，而第二实施例相对于离子注入提供保护，而不附加步骤和光阻挡层的损耗。

图 1 表示现有技术薄膜晶体管的纵断面图；

图 2a-2h 表示本发明第一方面之第一实施例的过程程序；

图 3a-3j 表示本发明第一方面之第二实施例的过程程序；

图 4 表示用激光扩散栅极图样周围，得到无源区；

图 5a-5b 表示为解决扩散问题的附加过程；

图 6a-6e 表示本发明第二方面实施例的过程程序；

图 7a-7e 表示本发明第三方面实施例的过程程序。

以下说明本发明的几个具体实施例，作为本发明第一方面的第一实施例说明具有补偿区的聚硅型薄膜晶体管的第一种结构。图 2 表示横断面，在透明基板 10 上形成 SiO_2 隔离过渡层 100(图 2a)，再用非晶硅 500-800iÅ200 覆盖该隔离过渡层(图 2b)。使非晶硅 200 多晶化并形成有源区 210 图案(图 2c)。淀积 1000iÅ的 SiO_2 膜，形成栅极隔离层 300(图 2d)，再分别淀积 200-300iÅ

的上栅极层 400 和下栅极层 40，二栅极层可由高选择率材料，如 Al/Cr, Cr/Al 以及 Cr/ITO，或者相对于铝蚀刻剂及 ITO 蚀刻剂有较低选择率的低选择率材料形成(图 2c)。在栅极层上形成光阻挡层图样 520，用以潮湿蚀刻上下栅极层 400 和 40，并形成具有上栅极图样和被凹蚀之下栅极图样的栅极电极 410 和 41。首先以光阻挡层为蚀刻掩膜，利用对于上栅极层有较高蚀刻率的蚀刻剂形成上栅极图样 41，而且，如果两个栅极层具有较高的选择率，则再以上栅极图样为蚀刻掩膜，利用对于下栅极层有较高刻蚀率和对于上栅极层有较低刻蚀率的另一种蚀刻剂形成下栅极图样 410。在使用相对于铝蚀刻剂具有极低选择率之材料的情况下，所述铝蚀刻剂对于对两个栅极层来说是磷酸、硝酸和醋酸溶液，可以按照喷雾法和酸洗法通过使用具有相对于两种栅极材料刻蚀特性的蚀刻剂进行两个栅极层的刻蚀。在上栅极蚀刻几乎被完成之后，下栅极层开始被蚀刻，然后下栅极层的蚀刻占优势并通过各向同性的蚀刻形成凹蚀。从整个蚀刻的时间、蚀刻剂的成分及刻蚀类型可以使凹蚀的尺寸受到控制(图 2f)。

在把光阻挡层图样 520 除去之后继续两种注入过程。由于上栅极图样被用于注入掩膜，所述上栅极图样 41 外侧的有源区被注入。补偿区 214 是不被注入并且未被下栅极图样 410 覆盖的有源区(图 2g)。如果需要，可以使用下栅极图样 410 作为注入掩膜，通过低能注入，在补偿区内形成 LDD 215(图 2h)。

以下将详细描述在像素电路中形成 N 沟道晶体管并在驱动电路中形成 P 沟道晶体管的第一方面的第二实施例。

图 3a-3j 所表示的是薄膜晶体管形成的过程程序截面图。

通过在玻璃基板 10 上淀积 SiO_2 形成第一过渡层 100，再形成聚硅有源区 210, 220 和 230，它们将成为像素电路的 N-沟道薄膜晶体管和驱动电路的 N-沟道薄膜晶体管及 P-沟道薄膜晶体管。通过淀积低温 VCD 非晶硅，使这个有源区 200 形成于过渡层 100 上，再通过激光韧化使之多晶化，再以掩膜手段使之构图。

继续所述过程，形成由 SiO_2 制成的栅极隔离层 300(图 3a)，再淀积上、下栅极 400 和 40(图 3b)。应使用相对于用以蚀刻上栅极 40 的蚀刻剂有较高选择率的材料作为下栅极材料 400。通过在 P-沟道薄膜晶体管区 510 和 N-沟道薄膜晶体管的栅极区 520、530 上使用光阻挡层掩膜作为蚀刻掩膜进行

蚀刻，形成N-沟道上栅极图样41, 42(图3c)。在上栅极图样下面形成下栅极图样410、420，它比上栅极41、42下凹并且更窄些，因为下栅极材料相对于蚀刻剂有较高的选择率。特别是在源极－漏极的注入步骤中，下栅极材料起晶体管栅极的作用，而上栅极材料为注入掩膜。LDD和补偿区的尺寸与上、下栅极图样间的扭曲相配合。在补偿区的情况下，这种扭曲在0.2-0.8μm范围内，而在LDD情况下它在0.5-1.5μm范围。精确尺寸的限定必须全面考虑所用电压、其它元件的尺寸及晶体管的特性。

在N-沟道薄膜晶体管栅极蚀刻之后，除去上栅极层上的光阻挡层500和光阻挡图样520、530，然后遍及整个玻璃基板注入N-型杂质离子，上栅极图样41、42和P-沟道上栅极层起掩膜层的作用，从而不需要对P-沟道薄膜晶体管的附加掩膜。在离子注入之后，在N-沟道薄膜晶体管内形成源极和漏极211; 221及213; 223，以及沟道212，222(图3d)。继续所述过程，除去上栅极层40和下栅极图样41，42然后注入低能N-型杂质。由于对于LDD的写入而下栅极图样410、420起掩膜层的作用，在上栅极图样与下栅极图样之间的扭曲区内形成LDD 215, 225。LDD可以解决截止电流问题和补偿区的高电阻率问题。如果略去LDD离子注入步骤，则代之以形成补偿区。在LDD离子注入过程中，由下栅极层400保护P-型薄膜晶体管区。为了形成P-沟道薄膜晶体管，在N-沟道晶体管600和P-沟道晶体管610的栅极区上面形成光阻挡层(图3f)。用光阻挡层600, 610作为蚀刻掩膜，使P-沟道栅极图样430受到蚀刻，再在光阻挡层图样610下方形成下凹。以下栅极图样为掩膜通过P-型离子注入，形成P-沟道晶体管的源极、漏极231, 233和沟道232，而且，在这种离子注入步骤过程中，以光阻挡层盖住N-沟道晶体管区域。在以光阻挡层盖住N-沟道晶体管区域并且把P-沟道晶体管的栅极区去掉之后，继续淀积隔离层、形成源极和漏极、形成钝化层和像素电极。

如果载流子结构适合于LDD而不需要补偿区，则可通过在N-沟道上面注入高能的离子注入，形成栅极和漏极212, 222, 232。在这种N-型高能注入过程中，应以材料层700盖住P-沟道。

在淀积隔离层之前，可以利用激光韧化，达到被注入离子的扩散和被损耗的有源区的韧化。利用这种激光韧化的激发步骤，可以使聚硅的电阻率降低，但由于扩散，因而电阻率较高，所以栅极图样附近的有源区不被激发，并且LDD中的高电阻率还能引起晶体管的误动作。图4表示由于栅极图样在

LDD 区内这种扩散的影响。在激光扩散源极、漏极 211, 213 和 LDD 区 215 的过程中，使激光在栅极图样边缘 410 扩散，以使栅极图样附近的有源区(这是沟道附近的 LDD 区)不被 L 的大小激发，而且这可引起晶体管的误动作。这个问题可以通过附加的处理步骤得到解决，所述附加步骤包括形成比栅极图样 410, 420, 430 小的掩膜图样 710, 720, 730，再刻蚀栅极图样并激发韧化 LDD 区(图 5b)，然后可通过激光扩散，激发 LDD 区，因为 LDD 区不在扩散区域附近。

图 6a-6e 是本发明第二方面实施例的纵断面顺序图。在薄膜晶体管的有源区内形成光阻挡图样 520, 530, 540(图 6a)，以形成栅极图样(图 2a,b)，然后再以光阻挡图样作为蚀刻掩膜形成栅极图样 41; 42; 43 ， 410; 420; 430 。下栅极图样要比上栅极图样窄，并有下凹。过程继续以低能注入 N-型杂质进行(图 6b)。未被上栅极图样掩盖的有源区 211, 213, 221, 223, 231, 233 被注入，而在上栅极图样下的有源区 212, 222, 232 不被注入。除去光阻挡层之后，通过光阻挡层溅射和在驱动电路的 P-型薄膜晶体管及 N-型薄膜晶体管的栅极 41, 410 上面显影，形成新的光阻挡层 600 。处于像素电路中栅极 41, 410 上面的栅极光阻挡层应当宽于有源区 200 中的沟道区 212，以形成 LDD 区 215 。通过用光阻挡图样 600 作为注入掩膜高能注入 N-型杂质，形成源极和漏极 211; 221 ， 213; 223 。在像素电路的 N-型薄膜晶体管中的沟道 212 与源极(或漏极) 211 、 213 之间形成 LDD 区，因为较宽的光阻挡图样保护了在 LDD 区 215 上面的离子注入。在除去光阻挡图样 600 之后，形成新的光阻挡图样 700(图 6d)。形成光阻挡图样，以使驱动电路中的 P-型薄膜晶体管区曝光。通过注入 P-型杂质，在有源区 230 内形成源极和漏极 231, 233 ，再于去掉光阻挡层之后使上栅极图样 41, 42, 43 受到蚀刻。通过随后的激光韧化，使被注入有源区能的离子受到激发。类似于隔离层淀积、源极和漏极的形成、钝化以及像素电极等一般的过程完成了所述工艺。

图 7a-7e 表示第三方面实施例的纵断面次序。在玻璃基板 10 上形成第一有源区 210, 230 和栅极隔离层。通过以激光使由在玻璃基板上的 CVD 过程所淀积的非晶硅的结晶韧化，继而以有源区图形的光刻过程形成有源区。还可在玻璃基板上形成过渡层作为隔离层，在 N-沟道薄膜晶体管区和 P-沟道中的栅极区上形成下栅极图样 400, 430 ， 然后以下栅极图样 400, 430 作为注入掩膜注入 P-杂质。通过蚀刻上栅极层，在 P-沟道薄膜晶体管区和 N-沟道内

的栅极区上面形成上栅极图样 40, 41(图 7c)。于是，由上栅极层 40 将下栅极图样 430 包覆于 P-沟道薄膜晶体管区内，同时使上栅极图样 41 形成在盖住整个 N-沟道薄膜晶体管区的下栅极图样 400 上面。

继续进行所述过程，通过以上栅极为蚀刻掩膜蚀刻下栅极图样形成栅极，再注入 N-型杂质。作为 N-型注入的结果，形成源极 213 、漏极 211 、沟道 212 和栅极 410 。不使沟道与源极、漏极之间的补偿区 214 被注入。使在 P-沟道薄膜晶体管内以上栅极图样盖住的下栅极图样关于蚀刻受到保护，并且不使注入 N-杂质。以上栅极图样作为蚀刻掩膜，通过各向同性的蚀刻形成下凹的下栅极图样。这一步骤为自调整步骤，使得可以省去对补偿区额外的光刻步骤以及不相符合的问题。在除去上栅极图样之后，可以进行低能 N-型注入，则图 7d 中的补偿区 214 成为 LDD 区 215(图 7d)。

按照本发明，通过使用双栅极层工艺和各向同性的下凹特征，可以很容易地在聚硅型薄膜晶体管内形成像补偿区和 LDD 区这样的载流子结构，并且能够以最少的过程步骤在同一基板上形成像素电路和驱动电路。尤其是按照第二实施例，不需要额外的注入掩膜，使我们可以减少过程步骤，并能摆脱在附加的注入步骤过程中所可能发生的多种附带的问题。

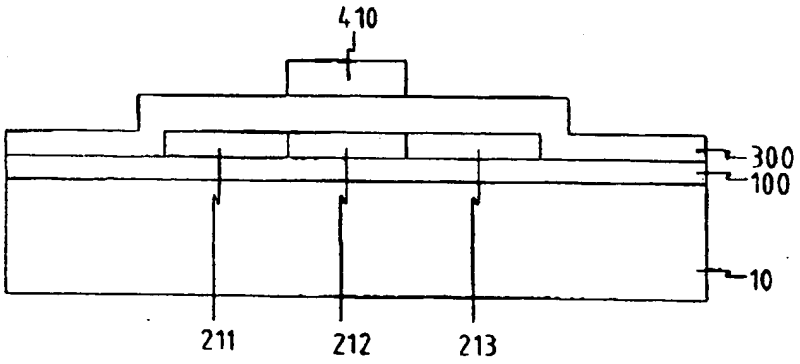


图 1

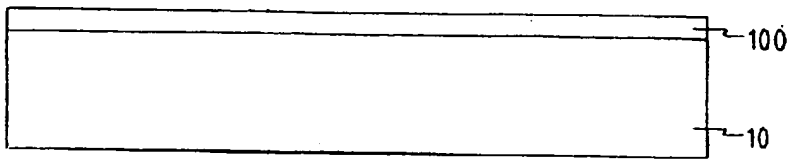


图 2a

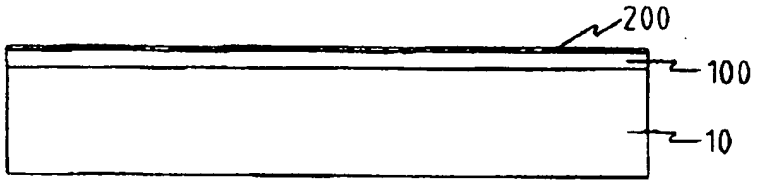


图 2b

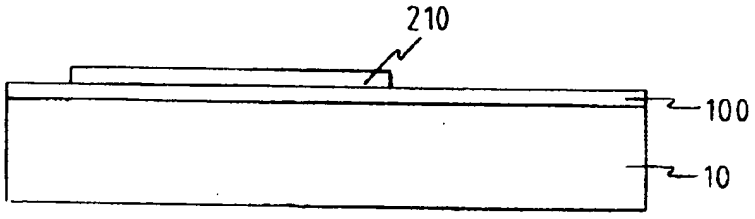


图 2c

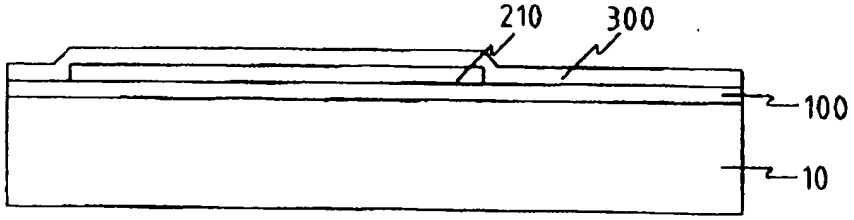


图 2d

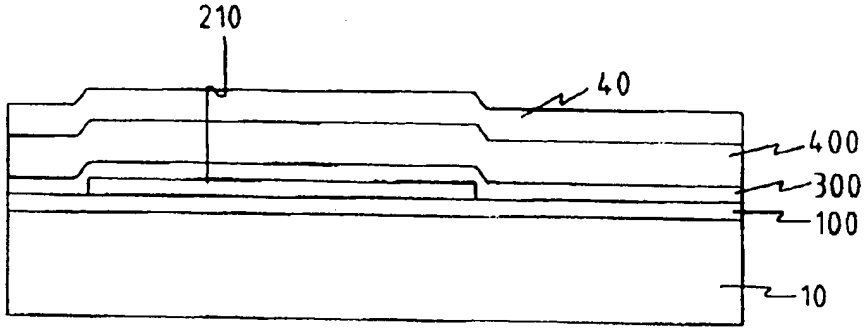


图 2e

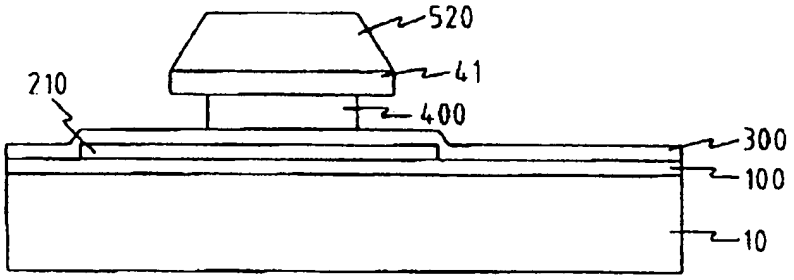

520
41
210
400
300
100
10

图 2f

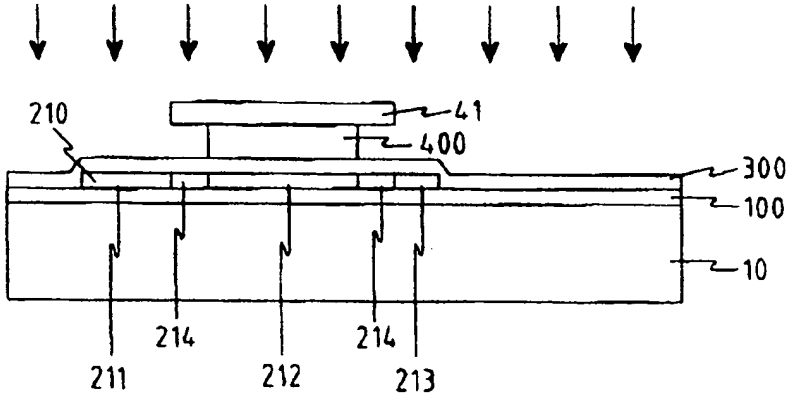

210
41
400
300
100
10
214
214
211
212
213

图 2g

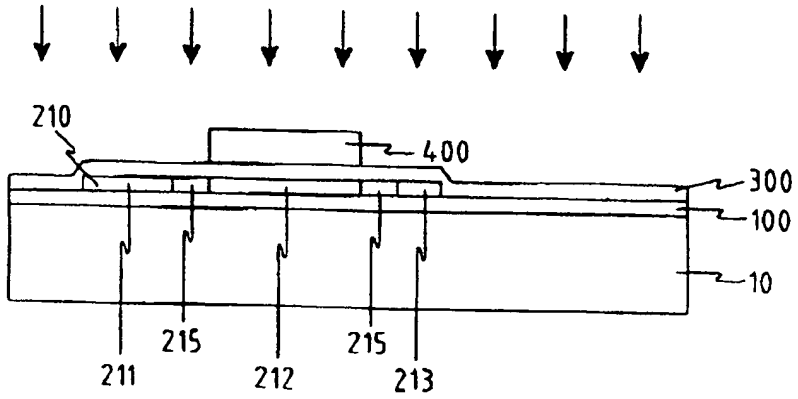


图 2h

99.06.02

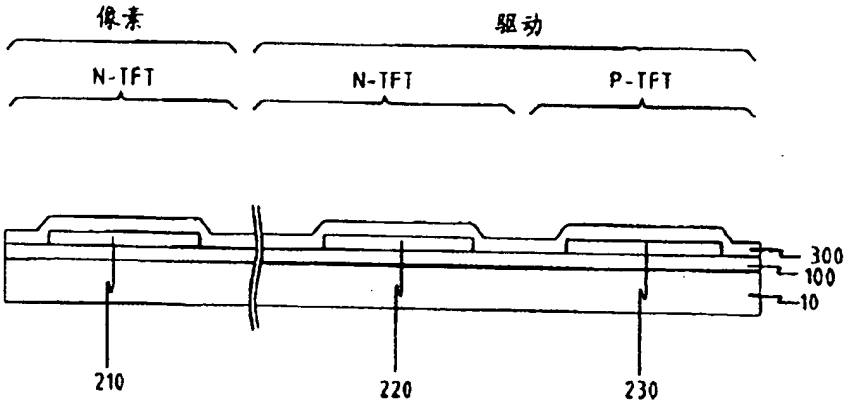


图 3a

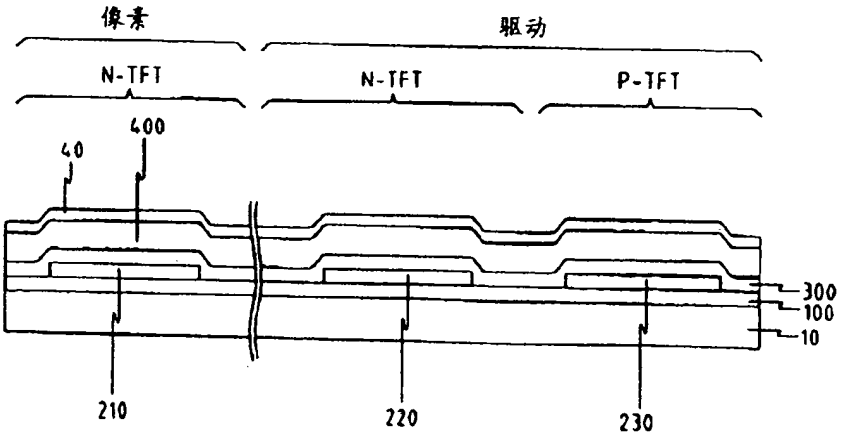


图 3b

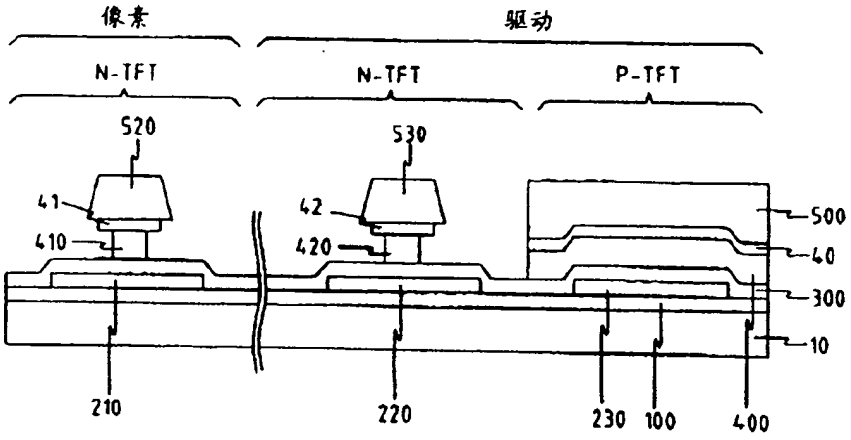

像素
驱动
N-TFT
N-TFT
P-TFT
520
530
41
42
410
420
500
40
300
10
210
220
230
100
400

图 3c

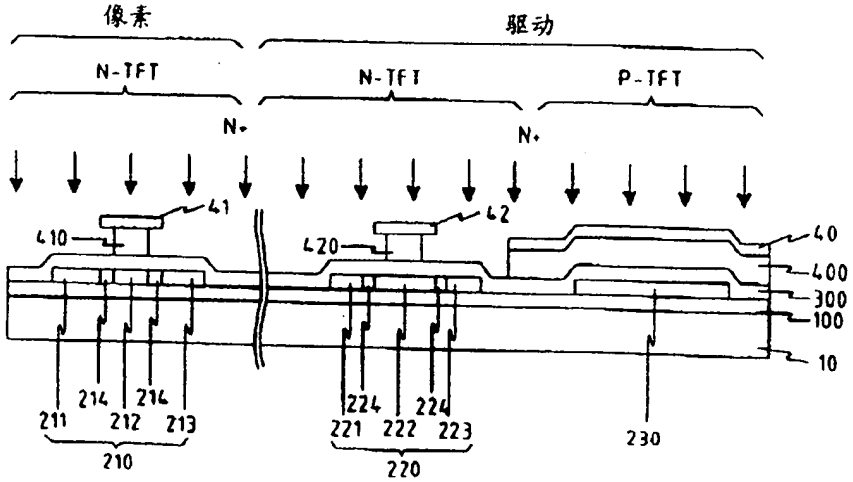

像素
驱动
N-TFT
N-TFT
P-TFT
N+
N+
41
42
410
420
40
400
300
100
10
211
214
214
212
213
224
224
221
222
223
230
210
220

图 3d

04.05.02

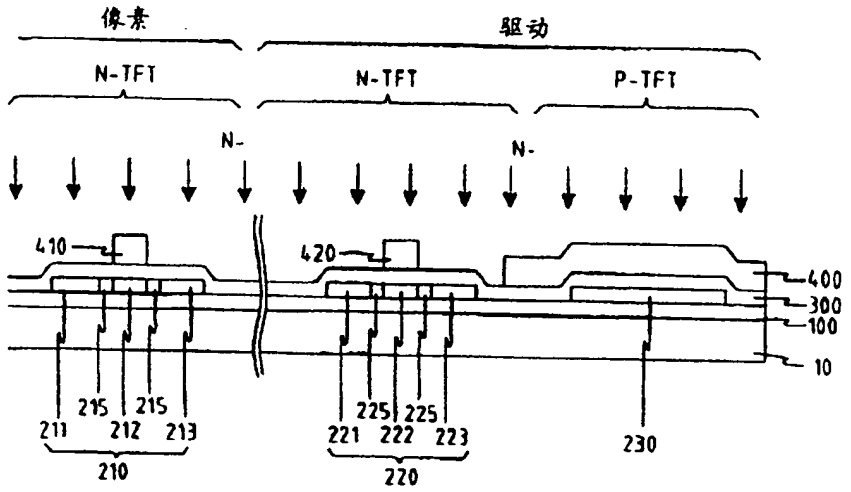


图 3e

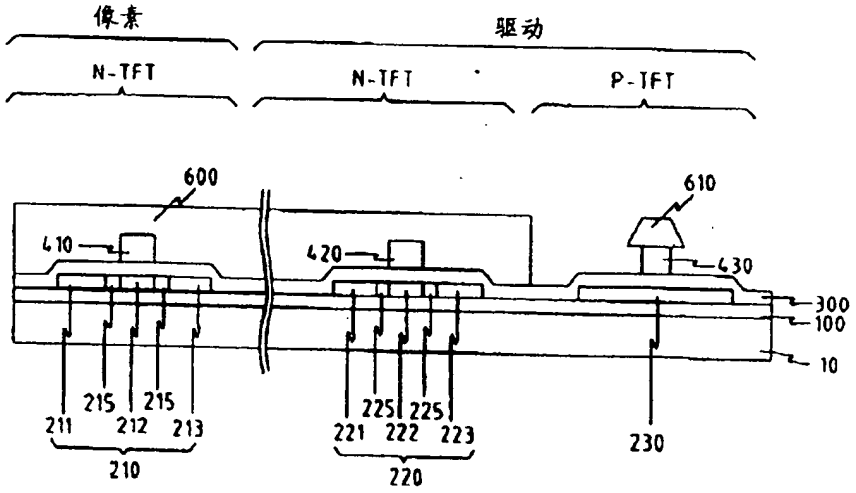


图 3f

94.05.02

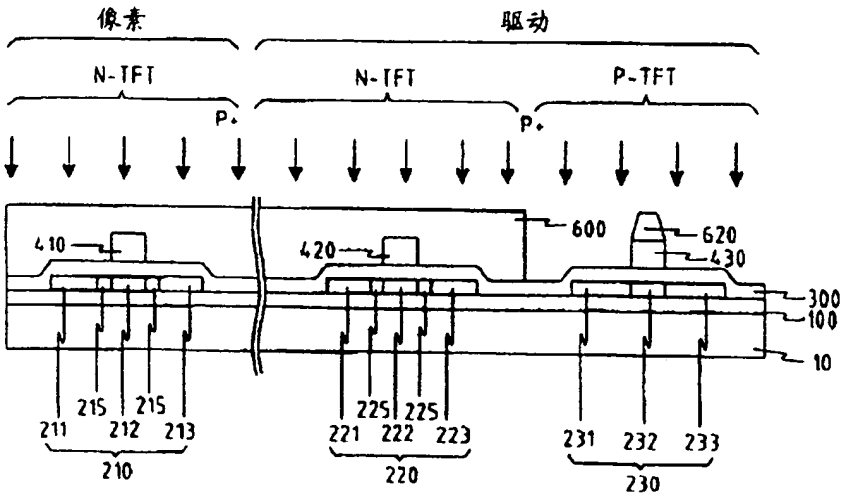


图 3g

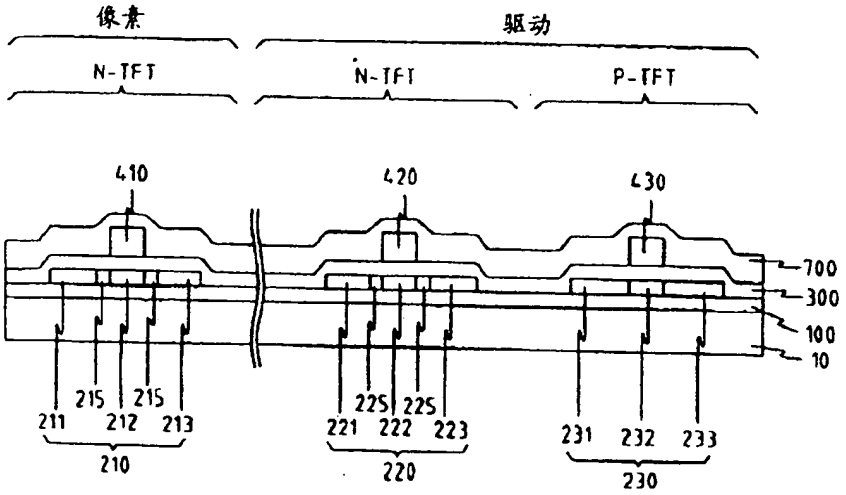


图 3h

04.05.02

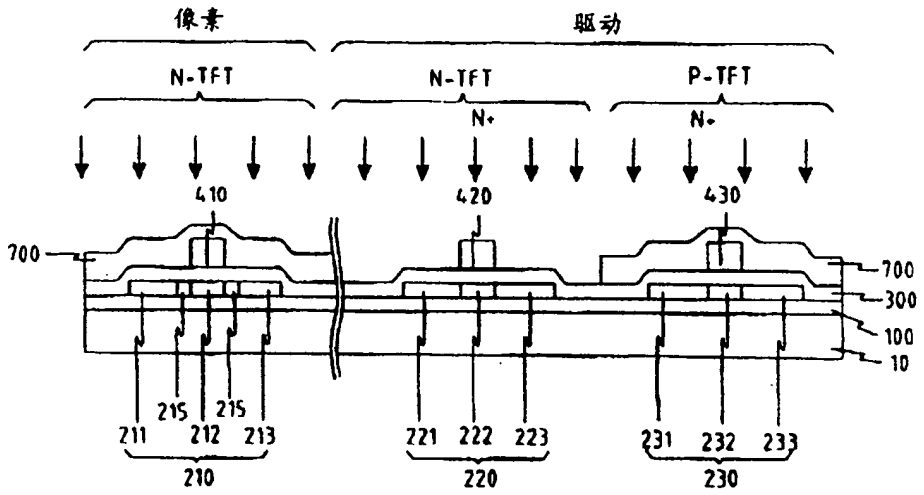


图 3i

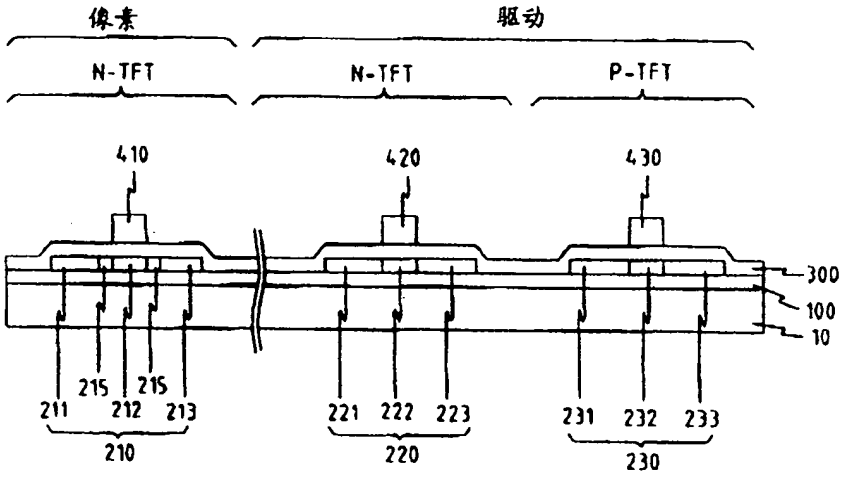


图 3j

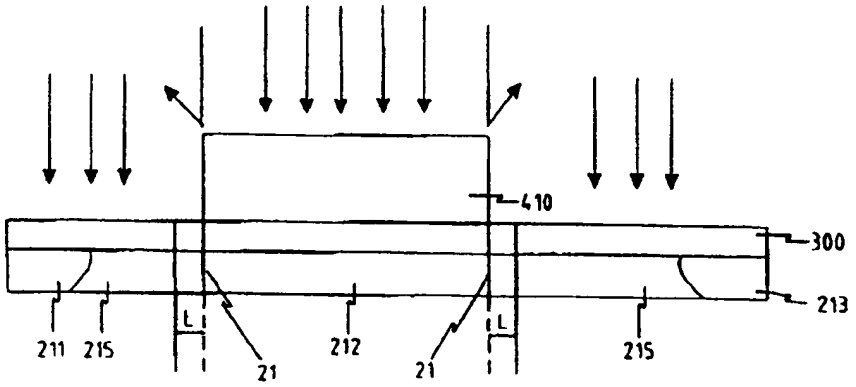

410
300
213
211
215
L
21
212
21
L
215

图 4

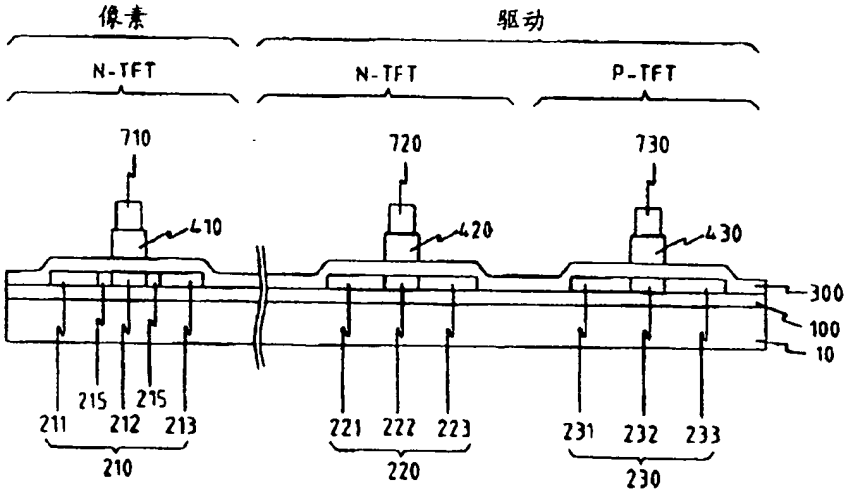

像素
驱动
N-TFT
N-TFT
P-TFT
710
720
730
410
420
430
300
100
10
211
215
212
215
213
221
222
223
231
232
233
210
220
230

图 5a

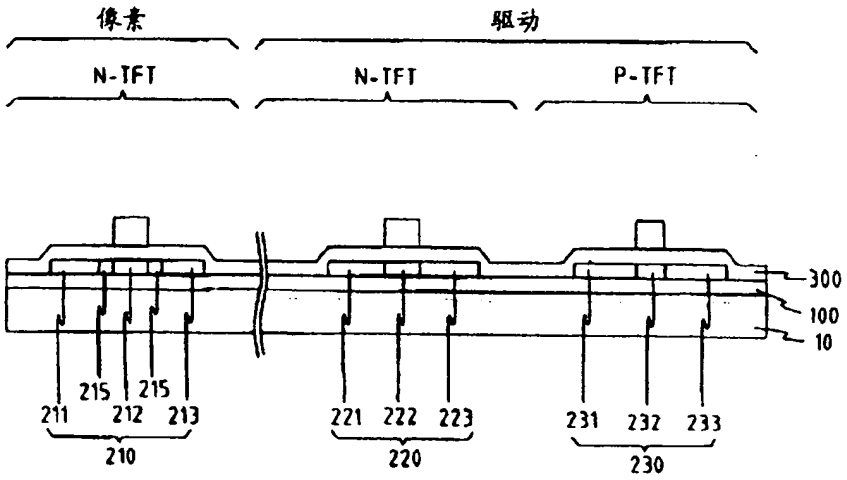

像素
驱动
N-TFT
N-TFT
P-TFT
300
100
10
211
215
212
215
213
221
222
223
231
232
233
210
220
230

图 5b

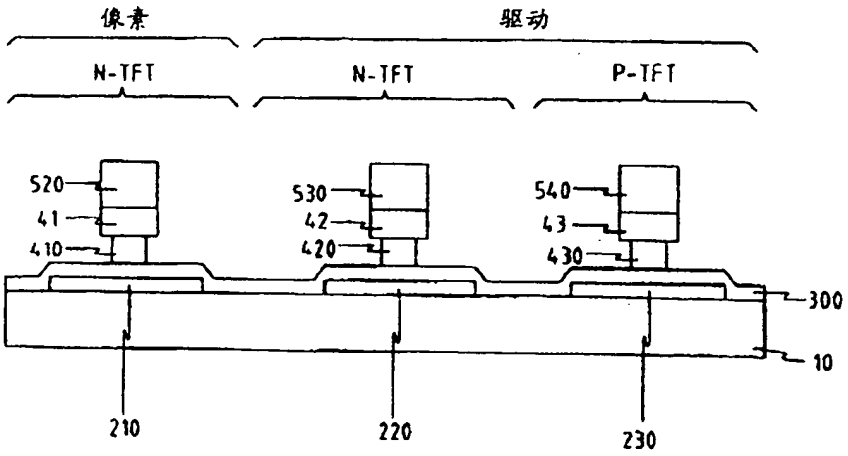

像素
驱动
N-TFT
N-TFT
P-TFT
520
41
410
530
42
420
540
43
430
300
10
210
220
230

图 6a

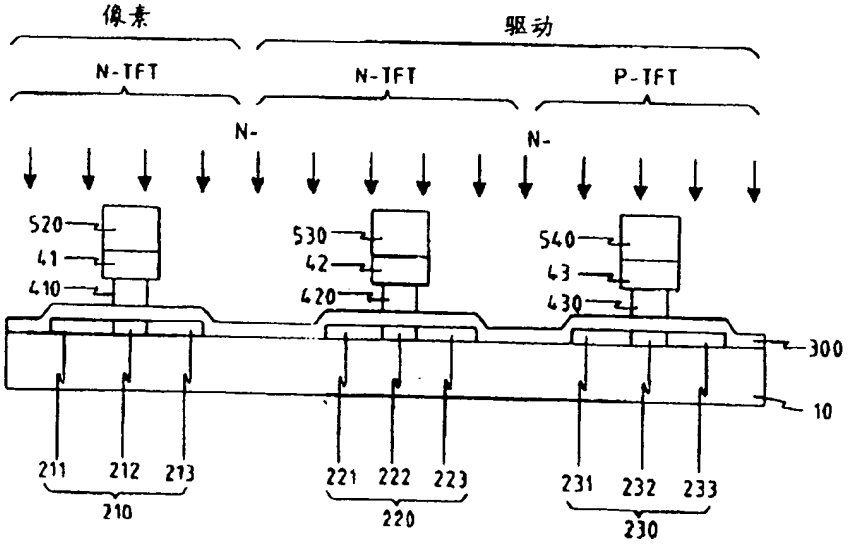

像素
驱动
N-TFT
N-TFT
P-TFT
N-
N-
520
41
410
530
42
420
540
43
430
300
10
211
212
213
210
221
222
223
220
231
232
233
230

图 6b

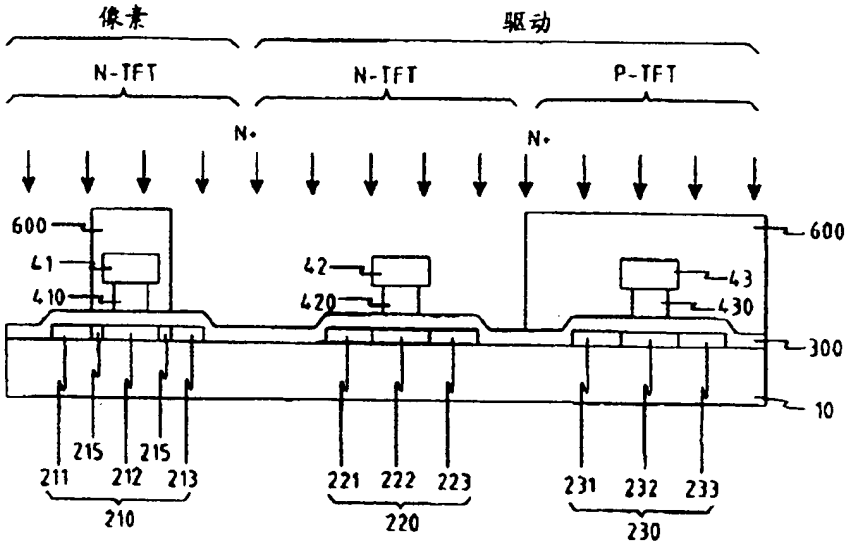

像素
驱动
N-TFT
N-TFT
P-TFT
N+
N+
600
41
410
42
420
43
430
600
300
10
215
215
211
212
213
221
222
223
231
232
233
210
220
230

图 6c

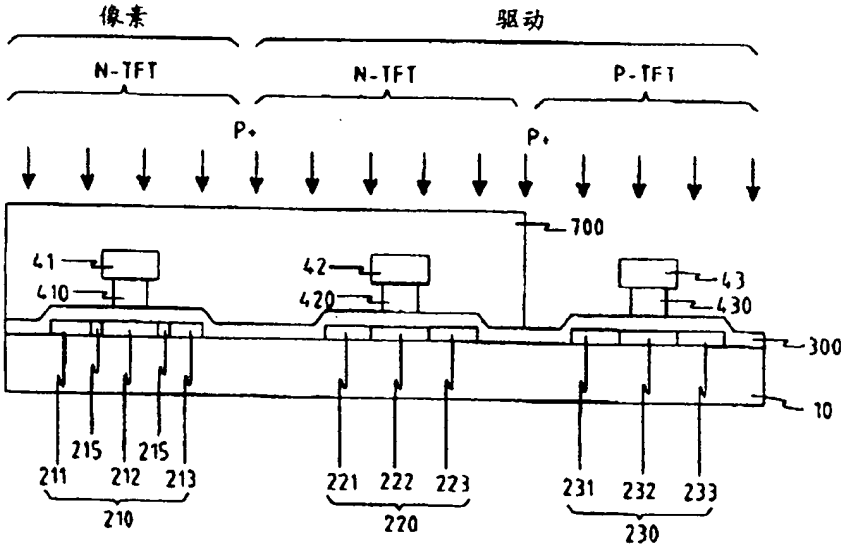

像素
驱动
N-TFT
N-TFT
P-TFT
P+
P+
700
41
410
42
420
43
430
300
10
215
215
211
212
213
221
222
223
231
232
233
210
220
230

图 6d

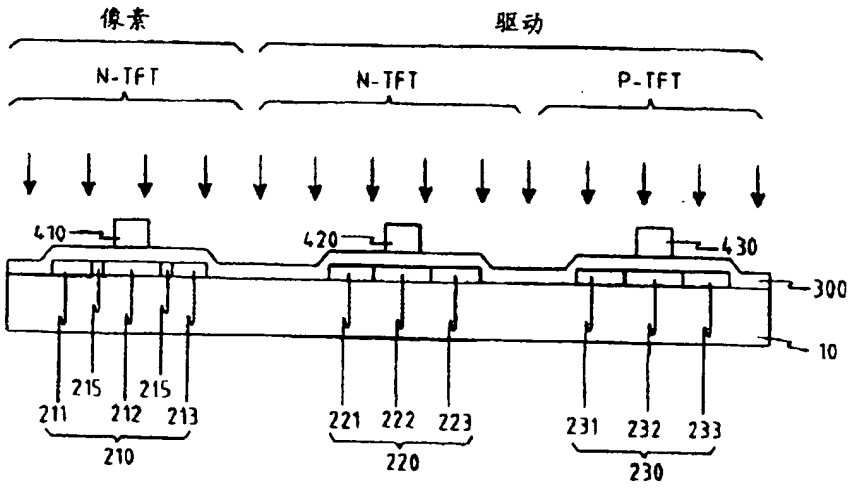

像素
驱动
N-TFT
N-TFT
P-TFT
410
420
430
300
10
211
215
212
215
213
221
222
223
231
232
233
210
220
230

图 6e

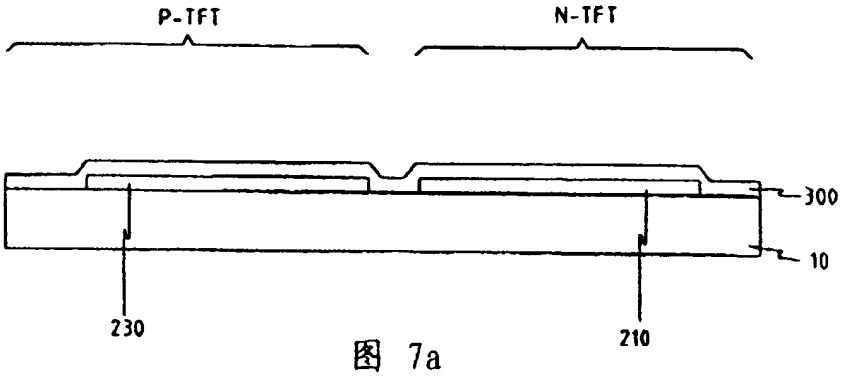


图 7a

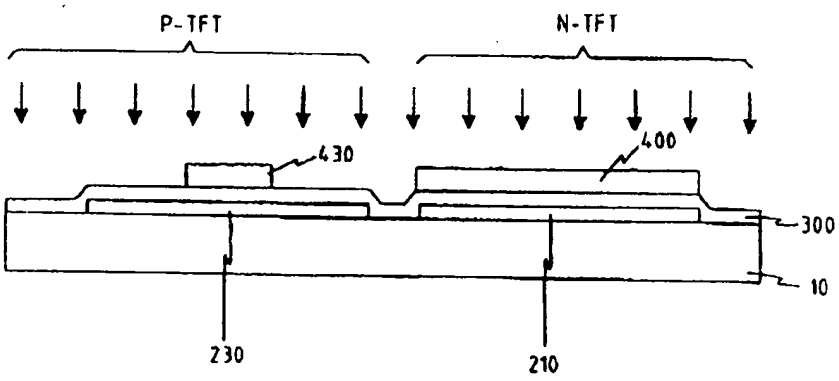


图 7b

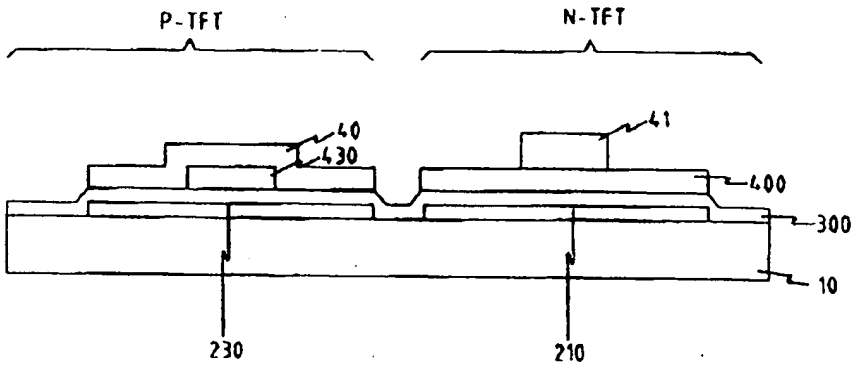

P-TFT
N-TFT
40
430
41
400
300
10
230
210

图 7c

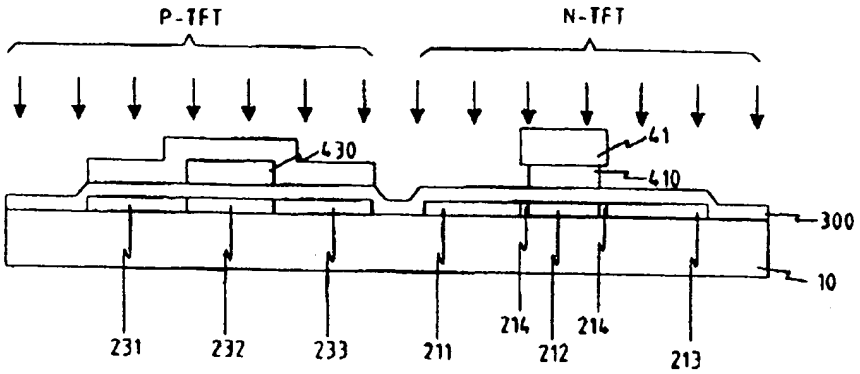

P-TFT
N-TFT
430
41
410
300
10
231
232
233
211
214
212
214
213

图 7d

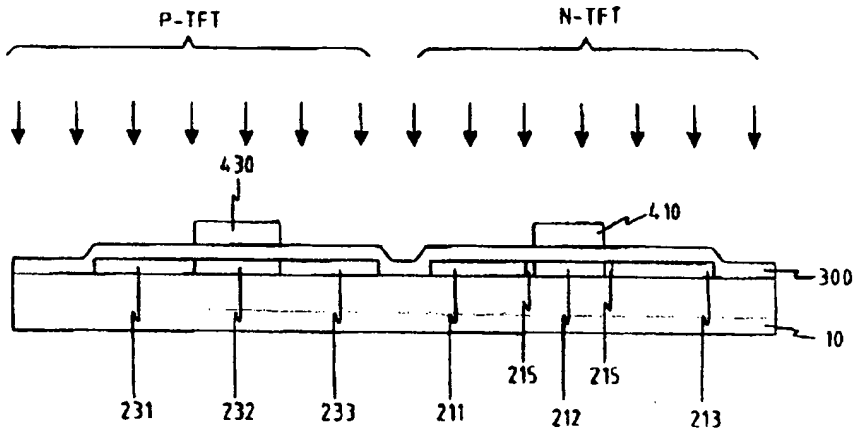


图 7e